

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-004364

(43)Date of publication of application : 07.01.2000

(51)Int.Cl.

H04N 1/41
H03M 7/30
H04N 7/24

(21)Application number : 10-167374

(71)Applicant : RICOH CO LTD

(22)Date of filing : 15.06.1998

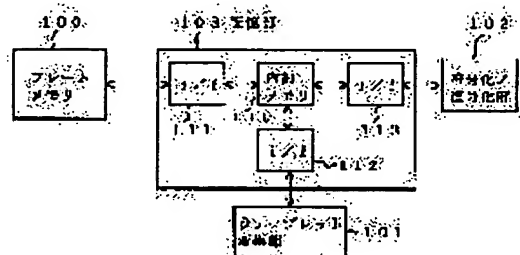
(72)Inventor : TAKAHASHI HIROYUKI

(54) ENCODING AND DECODING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To accelerate an encoding/decoding operation.

SOLUTION: Image data for one tile is subjected to a burst transfer in the order of raster for each line, from a frame memory 100 to an internal memory 110. A wavelet transforming section 101 performs wavelet transformation of the image data. Frequency band signal data that are mapped discretely to the memory 110 is converted into data of the raster order in each line by an input-output interface part 111, is subjected to a burst transfer to the memory 100 and is indiscretely mapped onto the memory.



LEGAL STATUS

[Date of request for examination] 25.03.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3719699

[Date of registration] 16.09.2005

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-4364

(P2000-4364A)

(43)公開日 平成12年1月7日(2000.1.7)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 4 N 1/41		H 0 4 N 1/41	B 5 C 0 5 9
H 0 3 M 7/30		H 0 3 M 7/30	A 5 C 0 7 8
H 0 4 N 7/24		H 0 4 N 7/13	Z 5 J 0 6 4

審査請求 未請求 請求項の数7 O L (全 18 頁)

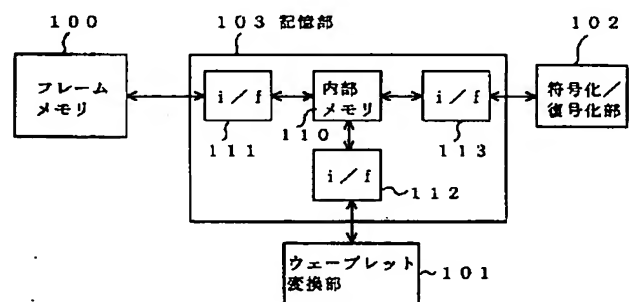
(21)出願番号	特願平10-167374	(71)出願人	000006747 株式会社リコー 東京都大田区中馬込1丁目3番6号
(22)出願日	平成10年6月15日(1998.6.15)	(72)発明者	▲高▼橋 啓行 東京都大田区中馬込1丁目3番6号 株式 会社リコー内
		(74)代理人	100073760 弁理士 鈴木 誠 (外1名)
		Fターム(参考)	5C059 KK04 MA24 NN28 NN37 PP01 RC33 UA12 UA14 5C078 AA04 BA58 CA31 DA01 DA02 EA01 5J064 AA03 BA16 BC01 BC02 BD02

(54)【発明の名称】 符号化／復号化装置

(57)【要約】

【課題】 符号化／復号化動作を高速化する。

【解決手段】 フレームメモリ100から1タイル分のイメージデータがライン毎、ラスタ順に内部メモリ110へバースト転送される。このイメージデータに対しウェーブレット変換部101によりウェーブレット変換が行われる。内部メモリ110に離散的にマッピングされた周波数帯信号データは、入出力インターフェース部111によってライン毎、ラスタ順のデータに変換されてフレームメモリ100へバースト転送され、同メモリ上に非離散的にマッピングされる。



【特許請求の範囲】

【請求項 1】 ウェーブレット変換のためのウェーブレット変換部、ウェーブレット変換の周波数帯信号を符号化して圧縮コードを生成し、圧縮コードを復号化して周波数帯信号を復元するための符号化／復号化部、及び、記憶部とを具備し、

該記憶部は、該ウェーブレット変換部又は該符号化／復号化部によって処理されるイメージデータ又は周波数帯信号データを一時的に記憶するための内部記憶手段、並びに、該内部記憶手段と該ウェーブレット変換部、該符号化／復号化部、及びフレームメモリとの間のデータ転送などを制御するための制御手段を含み、

該ウェーブレット変換部又は該符号化／復号化部により生成されて該内部記憶手段に離散的にマッピングされた周波数帯信号データが、該制御手段の制御によって、ライン毎、ラスト順のデータに変換されて該フレームメモリへ転送されることにより、該フレームメモリに周波数帯信号データが非離散的にマッピングされることを特徴とする符号化／復号化装置。

【請求項 2】 ウェーブレット変換のためのウェーブレット変換部、ウェーブレット変換の周波数帯信号を符号化して圧縮コードを生成し、圧縮コードを復号化して周波数帯信号を復元するための符号化／復号化部、及び、記憶部とを具備し、

該記憶部は、該ウェーブレット変換部又は該符号化／復号化部によって処理されるイメージデータ又は周波数帯信号データを一時的に記憶するための内部記憶手段、該内部記憶手段上のイメージデータ又は周波数帯信号データの一部を一時的に保存するためのライン記憶手段、並びに、該内部記憶手段と該ライン記憶手段、該ウェーブレット変換部、該符号化／復号化部及びフレームメモリとの間のデータ転送などを制御するための制御手段を含み、

該制御手段の制御によって、ウェーブレット変換時に該内部記憶手段から該ライン記憶手段へイメージデータ又は周波数帯信号データの一部がコピーされ、それが該ウェーブレット変換部で参照され、生成された周波数帯信号データが該内部記憶手段に非離散的にマッピングされ、

該制御手段の制御によって、該ウェーブレット変換部又は該符号化／復号化部により生成された周波数帯信号データが該内部記憶手段からライン毎、ラスト順に該フレームメモリへ転送されることにより、該フレームメモリに周波数帯信号データが非離散的にマッピングされることを特徴とする符号化／復号化装置。

【請求項 3】 請求項 2 記載の符号化／復号化装置において、該内部記憶手段は独立した複数のブロックからなり、周波数帯信号データは、その種類毎に、該複数のブロック中の別々のブロックに非離散的にマッピングされることを特徴とする符号化／復号化装置。

【請求項 4】 請求項 3 記載の符号化／復号化装置において、該複数のブロックはそれぞれ複数の記憶要素と、それら複数の記憶要素に対する外部からのデータの書き込み及び読み出しを制御する手段とからなることを特徴とする符号化／復号化装置。

【請求項 5】 請求項 1、2、3 又は 4 記載の符号化／復号化装置において、該内部記憶手段はワード単位及びビット単位でデータの読み出し及び書き込みが可能な記憶要素からなることを特徴とする符号化／復号化装置。

【請求項 6】 請求項 1、2、3 又は 4 記載の符号化／復号化装置において、該記憶部が、該フレームメモリと該符号化／復号化部との間で該内部記憶手段を介さず直接的に周波数帯信号データを転送するためのインターフェース手段を含むことを特徴とする符号化／復号化装置。

【請求項 7】 請求項 1 乃至 6 のいずれか 1 項記載の符号化／復号化装置において、該内部記憶手段の有するワード数が、ウェーブレット変換のレベル数に応じて定められることを特徴とする符号化／復号化装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、データ圧縮及び伸長の分野に係り、特に、ウェーブレット変換を利用する符号化及び復号化のための装置に関する。

【0002】

【従来の技術】データ圧縮は、大量のデータの蓄積や伝送のために非常に有用なツールである。例えば、文書のファクシミリ伝送や、ワールドワイドウェブのような画像の伝送に要する時間は、圧縮を使ってその画像の再生に必要とされるビット数を減らすと、飛躍的に短縮される。

【0003】従来より、多くの様々なデータ圧縮手法が存在している。最も広く普及している圧縮方式として J P E G (Joint Photographic Experts Group) の圧縮方式がある。J P E G の圧縮方式においては、入力シンボルまたは輝度データは量子化されてから出力符号語へ変換される。量子化は、データの重要な特徴量を保存する一方、重要でない特徴量を除去することを目的としている。量子化に先立ち、エネルギー集中をするために変換が用いられるが、J P E G では D C T (離散コサイン変換) が採用されている。ところが、D C T を用いる J P E G 方式に対し様々な欠点が指摘されている。例えば、ブロックノイズやモスキートノイズ (蚊が飛んでいるように見えるところから、このように呼ばれる) である。画像信号処理においては、これらの欠点を解消する効率的かつ高精度のデータ圧縮符号化方式を追求することに関心が集まっている。その方式の中に、ウェーブレット (wavelet) ピラミッド処理方式がある。

【0004】画像信号のような 2 次元信号にウェーブレット変換 (順変換) を適用する場合には、入力信号に対

10

20

30

40

50

し水平方向低域通過型フィルタHL (Horizontal Low) 及び水平方向高域通過型フィルタHH (Horizontal High) を使用して、水平方向低域信号であるS (smooth) 係数及び水平方向高域信号であるD (detail) 係数に分離し、さらに、これらS係数及びD係数に対して、垂直方向低域通過型フィルタVL (Vertical Low) 及び垂直方向高域通過型フィルタVH (Vertical High) を使用して水平方向低域-垂直方向低域信号であるSS係数、水平方向低域-垂直方向高域信号であるSD係数、水平方向高域-垂直方向低域信号であるDS係数、及び水平方向高域-垂直方向高域信号であるDD係数に分離する。

【0005】以上の一連の処理をレベルと呼び、1回の水平処理と垂直処理を行った出力をレベル1の出力と呼ぶ。さらに、以上の4種類の信号を周波数帯信号と呼ぶ。レベル2以上の出力を希望するときは、この処理がSS係数に対して再帰的に行われる。レベル2の出力では、SS係数、1SD係数と2SD係数、1DS係数と2DS係数、1DD係数と2DD係数、の7つの周波数帯信号が得られる。以上の説明では、まず水平方向にフィルタを適用し、次に垂直方向にフィルタを適用したが、その順序は逆でもよい。

【0006】図14にレベル4までの処理を行う場合の従来の構成を示した。図中、1000はウェーブレット変換部、1100はメモリ部、1200は符号化/復号化部である。符号化時には、イメージデータdataがメモリ部1100に取り込まれ、このイメージデータに対してウェーブレット変換部1000によりウェーブレット順変換が施され、メモリ部1100に周波数帯信号が得られる。符号化/復号化部1200は、メモリ部1100から周波数帯信号を取り込み、符号化して圧縮コードcodeを出力する。復号化時には、入力する圧縮コードcodeが符号化/復号化部1200によって復号化され、メモリ部1100上に周波数帯信号が復元される。この周波数帯信号に対してウェーブレット変換部1000によってウェーブレット逆変換が施されることによりイメージデータがメモリ部1100に復元され、これが外部に出力される。

【0007】ウェーブレット変換部1000においてfilter1H, filter2H, filter3H, filter4Hは、水平方向低域通過型フィルタHL及び水平方向高域通過型フィルタHHを含む水平方向フィルタである。これらフィルタ名中の数字1~4はレベル番号を表し、Hは水平方向フィルタであることを意味する。同様にfilter1V, filter2V, filter3V, filter4Vは、垂直方向低域通過型フィルタVL及び垂直方向高域通過型フィルタVHを含む垂直方向フィルタである。これらのフィルタ名中のVは垂直方向フィルタであることを意味し、Vの前の数字1~4はレベル番号を表し、Vの後の数字1は水平方向低域信号(S係数)を入力とす

るフィルタであることを示し、Vの後の数字2は水平方向高域信号(D係数)を入力とするフィルタであることを示す。Controllerはメモリ部1100とフィルタとの間のデータ転送等を制御するコントローラである。

【0008】以上のフィルタはどのような構成のものであってもよいが、以下の説明では、水平方向低域通過型フィルタHL及び垂直方向低域通過型フィルタVLとして、2組のデータを用い演算を行う2タップのフィルタを使用するものとする。水平方向高域通過型フィルタHH及び垂直方向高域通過型フィルタVHとして、低域通過型フィルタHLまたはVLの出力であるS係数のうち、現在の位置と、1つ前及び1つ後の合計3組のデータを用い演算を行う6タップのフィルタを使用するものとする。

【0009】このようなフィルタを用いた場合の演算の例を図15に示す。図15の(a)は水平方向フィルタの処理を説明するもので、00は0ライン目の0画素目のデータを意味し、12は1ライン目の2画素目のデータを意味する(このようにライン、画素とも0番目から数えるものとする)。水平方向低域通過型フィルタHLの0画素目の出力S00は、00データ及び01データから求められ、また、1画素目の出力S01は02データ及び03データから求められる。これに対し、水平方向高域通過型フィルタHHの0画素目の出力D00は、00データの2つ前及び1つ前のデータ(実在しない)と、00データと、01データと、02データと、03データとから求められる。ここで、実在しない00データの2つ前と1つ前のデータを得るため、ミラーと呼ばれる処理を施す。具体的には、データを鏡像関係で折り返す処理を行う。これにより、2つ前と1つ前のデータは01データと00データとなる。このようにして、D00は6画素のデータから計算される。

【0010】図15の(b)は垂直方向フィルタの処理を説明している。この処理は、垂直方向フィルタ処理によるS係数及びD係数を用いて垂直方向に行われる。実在しない係数は、水平方向フィルタの処理の場合と同様にミラー処理が施される。

【0011】図16はフレームメモリなどにラスタ順に格納されたイメージデータを示す。図17乃至図20に、ウェーブレット変換処理のレベル2までの演算結果の格納方法の一例を示す。最初にフレームメモリからデータを読み出して水平処理を行い、その結果を再びフレームメモリに書き込む。この書き込みの際に、未処理のデータに上書きしてしまわないように、例えば図17に示すようなマッピングでS係数及びD係数を書き込んでいく。図17において、1S00と1D00はレベル1のアドレス00のS係数とD係数を意味する。図18は垂直処理を行った後の各係数を書き込む際のマッピングの例を示す。ここまでのレベル1の各係数の格納方法である。図19はレベル2の水平方向の各係数の格納方法の例を示す。レベル2の処理は1SS係数に対してのみ

行われるため、網掛けされた部分のデータは用いられないことに注意されたい。ついで、図 20 に示すようなマッピングで、レベル 2 の各係数が格納され、レベル 2 の処理が終了する。同様の処理が、レベル 4 まで順に繰り返される。16 画素×16 ラインのイメージデータを入力した場合において、レベル 4 まで処理したときの各レベルの各周波数帯信号の格納方法を図 21 に示す。

【0012】以上のようにして得られた各レベルの周波数帯信号が符号化／復号化部 1200 で符号化されて圧縮されるのであるが、符号化は通常、ビット処理が行われるため、前述のように、周波数帯信号を一旦、メモリ部 1100 内のストレージに書き込んでおく必要がある。一般に用いられるストレージは半導体メモリである。符号化／復号化部 1200 ではストレージに書き込まれた各周波数帯信号を参照してビット処理を行って符号化し、圧縮コード code として出力する。圧縮コード code からイメージデータへの復元処理は前述の符号化処理と逆順で行われる。

【0013】なお、本発明に関連する符号化及び復号化装置、ウェーブレット変換部、あるいはフィルタについてのより詳細な情報は、特開平 8-139935 号公報などを参照されたい。また、類似の従来技術が特開平 3-27687 号公報、特開平 5-167997 号公報、特開平 5-183386 号公報に開示されている。

【0014】

【発明が解決しようとする課題】イメージデータは通常、図 16 に示したようにラスタデータとしてフレームメモリに書き込まれている。ウェーブレット変換部では、このラスタデータをラスタ順にメモリから読み出してウェーブレット変換を行う。この際、未処理のデータに対して上書きしないように、図 21 に示したように、データを離散的にマッピングしてフレームメモリに書き込んでいる。

【0015】処理時間がそれほど問題にならないのであれば、フレームメモリにどのようなものを用いても問題はないが、高速処理を実現するためには、SDRAM あるいは RDRAM などの高速メモリを用いる必要がある。これらの高速メモリは、バースト転送、すなわち指定したアドレスを起点とした連続したアドレスに対応するデータを読み出し又は書き込みするような構成となっているため、離散的なアドレスをアクセスする場合にはウェイト時間が発生する。画素方向に対して離散的にアクセスする場合には、工夫をすればある程度はウェイトを小さくすることができると。しかし、ライン方向に対しては、構造的に必ずウェイト時間が発生してしまう。例えば、ライン方向に離散的なアドレッシングを行う場合（垂直処理の場合に必ず必要となる）にウェイトが 2 サイクル発生すれば、垂直処理に対しては実際のメモリアクセスに必要な 1 サイクル分を含め、トータルで 3 倍の処理時間がかかってしまう。

【0016】このようなわけで、高速メモリの高速性を十分に活かすことができないという問題があった。ウェーブレット処理をしながらフレームメモリをアクセスする場合、内部との同期をとる必要があるが、この同期がとれるまでウェイト時間が発生するという問題もあった。ウェーブレット変換後のアドレスマップが図 21 に示した如く複雑で離散的なものであるため、フレームメモリとのインターフェース部も複雑になるという問題もあった。

【0017】また、装置を 1 チップ化し、画像の処理単位であるタイルに対応する大きさメモリを内部に設けようとした場合、チップ内部で使用できる 1 つのメモリ要素の大きさに制限があるため、2 個以上のメモリ要素から構成せざるを得ないことがある。このような構成の場合、ウェーブレット変換部及び符号化／復号化部の両方のブロックからのメモリアクセスが複雑になる。すなわち、ウェーブレット変換部と符号化／復号化部双方の制御部が、規模が大きく複雑な構成になるという問題があった。

【0018】また、ウェーブレット変換部ではデータの入出力がワード単位であり、一方、符号化／復号化部ではデータの入出力がビット単位であるので、使用される記憶手段がウェーブレット変換部と符号化／復号化部とで異なっており、そのため記憶のためのチップ領域が大きくなってしまいう問題があった。

【0019】本発明は、前記問題点を鑑みてなされたものであり、その目的は、ウェーブレット変換を利用する符号化／復号化装置の動作の高速化、構成の簡略化、メモリ使用効率の向上などを図ることにある。

【0020】

【課題を解決するための手段】請求項 1 乃至 7 の各項記載の符号化／復号化装置は、ウェーブレット変換のためのウェーブレット変換部、ウェーブレット変換の周波数帯信号を符号化して圧縮コードを生成し、圧縮コードを復号化して周波数帯信号を復元するための符号化／復号化部、及び、記憶部とを具備する。

【0021】請求項 1 記載の符号化／復号化装置は、該記憶部が、該ウェーブレット変換部又は該符号化／復号化部によって処理されるイメージデータ又は周波数帯信号データを一時的に記憶するための内部記憶手段、並びに、該内部記憶手段と該ウェーブレット変換部、該符号化／復号化部、及びフレームメモリとの間のデータ転送などを制御するための制御手段を含み、該ウェーブレット変換部又は該符号化／復号化部により生成されて該内部記憶手段に離散的にマッピングされた周波数帯信号データが、該制御手段の制御によって、ライン毎、ラスタ順のデータに変換されて該フレームメモリへ転送されることにより、該フレームメモリに周波数帯信号データが非離散的にマッピングされることを特徴とする。

【0022】請求項 2 記載の符号化／復号化装置は、該

記憶部が、該ウェーブレット変換部又は該符号化／復号化部によって処理されるイメージデータ又は周波数帯信号データを一時的に記憶するための内部記憶手段、該内部記憶手段上のイメージデータ又は周波数帯信号データの一部を一時的に保存するためのライン記憶手段、並びに、該内部記憶手段と該ライン記憶手段、該ウェーブレット変換部、該符号化／復号化部及びフレームメモリとの間のデータ転送などを制御するための制御手段を含み、該制御手段の制御によって、ウェーブレット変換時に該内部記憶手段から該ライン記憶手段へイメージデータ又は周波数帯信号データの一部がコピーされ、それが該ウェーブレット変換部で参照され、生成された周波数帯信号データが該内部記憶手段に非離散的にマッピングされ、また、該制御手段の制御によって、該ウェーブレット変換部又は該符号化／復号化部により生成された周波数帯信号データが該内部記憶手段からライン毎、ラスト順に該フレームメモリへ転送されることにより、該フレームメモリに周波数帯信号データが非離散的にマッピングされることを特徴する。

【0023】請求項3記載の符号化／復号化装置は、請求項2記載の構成において、該内部記憶手段が独立した複数のブロックからなり、周波数帯信号データが、その種類毎に、該複数のブロック中の別々のブロックに非離散的にマッピングされることを特徴する。

【0024】請求項4記載の符号化／復号化装置は、請求項3記載の構成において、該複数のブロックがそれぞれ複数の記憶要素と、それら複数の記憶要素に対する外部からのデータの書き込み及び読み出しを制御する手段とからなることを特徴とする。

【0025】請求項5記載の符号化／復号化装置は、請求項1、2、3又は4記載の構成において、該内部記憶手段がワード単位及びビット単位でデータの読み出し及び書き込みが可能な記憶要素からなることを特徴とする。

【0026】請求項6記載の符号化／復号化装置は、請求項1、2、3又は4記載の構成において、該記憶部が、該フレームメモリと該符号化／復号化部との間で該内部記憶手段を介さず直接的に周波数帯信号データを転送するためのインターフェース手段を含むことを特徴とする。

【0027】請求項7記載の符号化／復号化装置は、請求項1乃至6のいずれか1項記載の構成において、該内部記憶手段の有するワード数が、ウェーブレット変換のレベル数に応じて定められることを特徴とする。

【0028】

【発明の実施の形態】以下、添付図面を参照して本発明の実施の形態を説明する。なお、説明の便宜上、複数の図において同一部分又は対応部分に同一の参照符号が付されている。

【0029】＜実施例1＞図1は本発明の一実施例によ

る符号化／復号化システムのブロック図である。図1において、100はフレームメモリ、101はウェーブレット変換部、102は符号化／復号化部、103は記憶部である。例えば、ウェーブレット変換部101、符号化／復号化部102及び記憶部103は同じ一つのチップ上に集積され、フレームメモリ100は外付けのメモリとなる。フレームメモリ100としては、例えばバースト転送の可能なSDRAMが用いられる。

【0030】符号化／復号化部100は、符号化動作の場合に、ウェーブレット変換の周波数帯信号を符号化して圧縮コードcodeを生成する符号化部とし働き、復号化動作の場合に、圧縮コードcodeを復号化して周波数帯信号を生成する復号化部として働く。なお、符号化／復号化部100を符号化専用のものと置き換えた同様構成の符号化システムと、符号化／復号化部100を復号化専用のものと置き換えた同様構成の復号化システムも、本発明に包含される。

【0031】記憶部103は、内部メモリ（内部記憶手段）110と、データ転送の制御などのための手段としての3つの入出力インターフェース部111、112、113とからなる。入出力インターフェース部111は内部メモリ110とフレームメモリ100との間のデータ転送などの制御を行い、入出力インターフェース部112は内部メモリ110とウェーブレット変換部101との間のデータ転送などの制御を行い、また、入出力インターフェース部113は内部メモリ110と符号化／復号化部102との間のデータ転送などの制御を行う。

【0032】フレームメモリ100は、図2に示すように、X画素×Yラインの大きさを持つ。このフレームメモリ100上のイメージデータに対するウェーブレット順変換などは、図2に示すように、M（x方向）×N（y方向）の大きさの領域（タイル）を処理単位として行われる。このタイル分割は、隣り合うタイル間がオーバーラップしないように行われる。

【0033】内部メモリ110は、図3に示すように、フレームメモリ100の1つのタイルの大きさに対応した大きさを持つタイルメモリ120と、a×N画素の大きさを持つx方向（画素方向）オーバーラップメモリ121と、X×a画素の大きさのy方向（ライン方向）オーバーラップメモリ122とからなる。ここで、aはウェーブレット変換部101に用いられるフィルタのタップ数で決まる。前記従来技術において述べたフィルタを用いる場合には、a=2となる。

【0034】タイルメモリ120は、概念的には、図3に示すような位置関係のA、B、C、D、E、F、G、F、Zの領域から構成される。領域Z、E、F、G、Hの集まりからなるメモリ領域は、タイルの大きさと同じM×N画素の大きさを有し、フレームメモリ100のあるタイルをウェーブレット順変換する場合には、当該タイルのイメージデータが1対1対応で当該メモリ領域に

転送される。領域A, B, C, Dは、図3に示すような位置関係で上記M×N画素のメモリ領域の外側に位置する。領域Aと領域CはそれぞれM×a画素の大きさであり、領域Bと領域Dの大きさはそれぞれa×N画素である。領域A, B, C, Dとオーバーラップメモリ121, 122の利用方法については、図4に関連して後述する。

【0035】次に、フレームメモリ100上のイメージデータを符号化する場合の動作を説明する。図6は、この場合のウェーブレット順変換処理に関連した概略フローチャートである。

【0036】まず、記憶部103内の入出力インターフェース部111の制御により、フレームメモリ100の処理対象となった一つのタイルと、領域C, Dに対応する領域のイメージデータがライン毎、ラスタ順に内部メモリ110へバースト転送され、タイルメモリ120へ1対1対応で書き込まれる(ステップ1)。

【0037】次に、入出力インターフェース部111(又は入出力インターフェース部112)の制御により、タイルメモリ120内のH領域とG領域(図3参照)のイメージデータがx方向オーバーラップメモリ121とy方向オーバーラップメモリ122にそれぞれコピーされる(ステップ2)。

【0038】次に、入出力インターフェース部111(又は112)の制御により、タイルメモリ120のA, B, C, Dに対する必要なデータコピーが行われる(ステップ3)。このデータコピーの内容は、処理対象のタイルの位置に依存する。フレームメモリ100上でのタイルの位置関係は図4(b)に代表して示すような9種類に分類される。入出力インターフェース部111(又は112)は、処理するタイルがいずれの位置にあるか、図4(a)の「判断」欄に記載された条件に従って判別し、その結果に応じて図4(a)の「コピー元」欄の記載に従ったデータコピーを行う。

【0039】最初は、図2中の斜線領域である左上のタイル(0)を処理するが、このタイルは図4(b)に示す位置1にあるタイルである。この位置1にあるタイルの場合、ウェーブレット順変換処理に必要なA領域とB領域のデータは存在せず、従来技術に関連して述べたようなミラー処理を行う必要がある。このミラー処理として、入出力インターフェース部111(又は112)により、図4(a)の「コピー元」欄に記載されているように、タイルメモリ120のA領域へ、E領域とH領域の一部からデータがコピーされ、また、B領域に対し、F領域とE, G領域の一部からデータがコピーされる。かくして、タイルメモリ120内にタイル(0)のウェーブレット順変換処理に必要なデータが揃う。

【0040】次に、ウェーブレット変換部101は、入出力インターフェース部112を介してタイルメモリ120をアクセスし、ウェーブレット順変換処理を実行す

る(ステップ4)。例えば従来技術に関連して述べたと同様の4レベルのウェーブレット順変換が行われる。この際、タイルメモリ120に、例えば、レベル1の水平処理の結果であるS係数とD係数は図17に示すようなマッピングで書き込まれ、レベル1の垂直処理の結果である1SS係数、1SD係数、1DS係数及び1DD係数は図18に示すようなマッピングで書き込まれる。同様に、1SS係数に対するレベル2の水平処理の結果である2S係数と2D係数は図19に示すようなマッピングで書き込まれ、レベル2の垂直処理の結果である2SS係数、2SD係数、2DS係数及び2DD係数は図20のようなマッピングで書き込まれる。最終的に、レベル4の垂直処理が終わると、タイルメモリ120のM×N画素のメモリ領域に図21に示すようなマッピングで各レベルの各周波数帯信号が書き込まれる。ただし、図21はタイルサイズをM=N=16としている(以下、同様)。

【0041】このようにしてタイル(0)のウェーブレット順変換が終了すると、タイルメモリ120のM×Nのメモリ領域のデータが、入出力インターフェース部111を介してフレームメモリ100のタイル(0)の領域に書き出される(ステップ5)。この際、入出力インターフェース部111は、図21に示すように離散的にマッピングされているタイルメモリ120上の各周波数帯信号データをライン毎、ラスタ順の連続したデータとなるように、タイルメモリ120をアドレッシングして読み出し、そのデータをライン毎、ラスタ順にフレームメモリ100へ転送し、例えば図5に示すようなマッピングでフレームメモリ100のタイル(0)の領域に書き込む。

【0042】このようにしてタイル(0)に対するウェーブレット順変換処理が終了すると、右隣のタイル

(1)が処理の対象に選ばれ(ステップ6)、入出力インターフェース部111により、フレームメモリ100のタイル(1)とその周囲のC, D領域に対応した領域のイメージデータがライン毎、ラスタ順に内部メモリ110へ転送され、タイルメモリ120に書き込まれる(ステップ1)。次に、H領域とG領域のデータがオーバーラップメモリ121, 122へそれぞれコピーされる(ステップ2)。

【0043】タイル(1)は図4(b)に示す位置2にあるタイルであるため、A領域のデータは存在しないので、そのミラー処理として、入出力インターフェース部111(又は112)によりE領域とH領域の一部からA領域へデータがコピーされる(ステップ3)。また、領域Bに対応したフレームメモリ100上のデータはタイル(0)の処理によって書き換えられているが、その書き換え前のデータがオーバーラップメモリ(x)121に保存されている。この保存データがB領域にコピーされる(ステップ3)。これでタイル(1)のウェーブ

レット順変換に必要なデータがタイルメモリ 120 に揃った。

【0044】そして、ウェーブレット変換部 101 は入出力インターフェース部 112 を介してタイルメモリ 120 をアクセスしつつウェーブレット順変換を行う（ステップ 4）。タイルメモリ 120 上に離散的にマッピングされた各レベルの各周波数帯信号データは、入出力インターフェース部 111 によってライン毎、ラスタ順のデータに変換されてフレームメモリ 100 へ転送され、図 5 に示すようなマッピングで書き込まれる（ステップ 5）。

【0045】タイル (n-1) の手前のタイルまで順次右側のタイルが処理されるが、それらタイルは図 4

(b) の位置 2 に示すタイルであるのでステップ 3 においてタイル (1) と同様のデータコピーが行われる。

【0046】右端のタイル (n-1) は図 4 (b) の位置 3 にあるタイルである。この位置にあるタイルを処理する場合、ステップ 3 において、データの存在しない A 領域に対して、E 領域と H 領域の一部のデータがコピーされ（ミラー処理）、また、データの存在しない D 領域に対して H 領域のデータがコピーされる（ミラー処理）。さらに、データが書き換えられている B 領域に対し、オーバーラップメモリ 121 に保存されているデータがコピーされる。

【0047】次に 2 列目の最初のタイル (n) が処理されるが、これは図 4 (b) の位置 4 にあるタイルである。この位置にあるタイルを処理する場合、ステップ 3 において、データが存在しない B 領域に対し F 領域、E 領域の一部、及び G 領域の一部のデータがコピーされる（ミラー処理）。データが書き換えられている A 領域に対し、オーバーラップメモリ 112 に保存されているデータがコピーされる。

【0048】次に右隣のタイル (n+1) が処理されるが、これは図 4 (b) の位置 5 にあるタイルである。この位置にあるタイルを処理する場合、ステップ 3 において、データが書き換えられている A 領域と B 領域に、オーバーラップメモリ 122 とオーバーラップ 121 から書き換え前のデータがそれぞれコピーされる。

【0049】その右側のタイル（右端のタイルを除く）の場合も、タイル (n) と同様のコピー処理がステップ 3 で行われる。その右端のタイルは図 4 (b) の位置 6 にあり、ステップ 3 では、データが書き換えられた A 領域と B 領域にオーバーラップメモリ 122 とオーバーラップメモリ 121 からデータがコピーされ、データの存在しない D 領域に対し H 領域のデータがコピーされる（ミラー処理）。

【0050】同様にして上から下、左から右へとタイルが順次処理されるが、それらタイルに対しては図 4

(b) の位置 4、位置 5 又は位置 6 のタイルに対応したデータのコピー操作がステップ 3 で行われる。

【0051】フレームメモリ 100 の左下のタイルは図 4 (b) の位置 7 にある。このタイルを処理する場合、ステップ 3 において、データが存在しない B 領域に F 領域と、E 領域の一部と、G 領域の一部からデータがコピーされ（ミラー処理）、データが存在しない C 領域に G 領域と H 領域の一部のデータがコピーされる（ミラー処理）。また、データが書き換えられている A 領域に、オーバーラップメモリ 122 からデータがコピーされる。

【0052】その右側のタイル（右端のタイルを除く）は図 4 (b) の位置 8 にあるタイルである。これらタイルを処理する場合、ステップ 3 において、データが存在しない C 領域に G 領域と H 領域の一部のデータがコピーされる（ミラー処理）。また、データが書き換えられている A 領域と B 領域に、オーバーラップメモリ 122 とオーバーラップメモリ 121 から書き換え前のデータがそれぞれコピーされる。

【0053】最後の右端（右下）のタイル、すなわち図 4 (b) の位置 9 にあるタイルを処理する場合、ステップ 3 において、データが存在しない C 領域に G 領域と H 領域の一部のデータがコピーされ（ミラー処理）、データが存在しない D 領域に H 領域のデータがコピーされる（ミラー処理）。また、データが書き換えられている A 領域と B 領域に、オーバーラップメモリ 122 とオーバーラップメモリ 121 から書き換え前のデータがそれぞれコピーされる。

【0054】以上に述べたように、フレームメモリ 100 から内部メモリ 110 のタイルメモリ 120 へのイメージデータの転送も、タイルメモリ 120 からフレームメモリ 100 への周波数帯信号データの転送も、ライン毎、ラスタ順に行われる。したがって、フレームメモリ 100 として SDRAM を用いた場合、レイテンシを生じさせることなく、それらデータの転送をバースト転送により高速に行うことができる。

【0055】イメージデータをタイルメモリ 120 に読み込んだ後は、ウェーブレット順変換処理中にアクセスされるメモリは内部メモリ 110 だけであり、フレームメモリ 100 をアクセスする必要がない。したがって、従来問題になっていた垂直処理時のフレームメモリ・アクセスに関連したレイテンシの発生は回避される。タイルメモリ 120 はフレームメモリ 100 に比べ小容量であり、高速なランダムアクセスが可能な任意の種類メモリとすることができるので、ウェーブレット順変換処理を極めて高速に行うことができる。また、入出力インターフェース部 111 では、タイルメモリ 120 上に離散的にマッピングされた周波数帯信号データをフレームメモリ 100 へ転送する際に、周波数帯信号データをライン毎、ラスタ順の連続したデータとなるようにアドレッシングしてタイルメモリ 120 をアクセスするが、このアクセスも極めて高速に行うことが可能である。したがって、フレームメモリ 100 よりイメージデータをタ

イルメモリ 120 へ転送する動作から、周波数帯信号を
 タイルメモリ 120 よりイメージメモリ 120 へ転送す
 る動作までの一連の動作を高速に行うことができる。

【0056】1 フレーム分のウェーブレット順変換処理
 が終了すると、フレームメモリ 100 上の周波数帯信号
 データが記憶部 103 を介し符号化／復号化部 102 へ
 転送され符号化され、圧縮コード code として外部へ出力
 される。符号化／復号化部 102 では、あるレベルのあ
 る種類の周波数帯信号データを連続して得る必要がある
 が、フレームメモリ 100 に周波数帯信号データが図 5
 に示すようにマッピングされているため、フレームメモ
 リ 100 から内部メモリ 110 への周波数帯信号データ
 の転送をバースト転送により高速に行うことができる。
 例えば、1DD 係数データについては、図 5 に●印で示
 したアドレス (x=0, y=12) から x 方向 (画素方向) に
 バースト転送し、次のラインのデータは、その 1 つ下の
 アドレス (0,13) からバースト転送すればよい。

【0057】周知のように、フレームメモリ 100 とし
 て使用されることの多い SDRAM は、x 方向 (画素方
 向) にはバースト転送を行うので高速である。しかし、
 y 方向 (ライン方向) の転送は、センスアンプにその行
 方向のデータが存在していれば即読み出し可能ではある
 が、それが無ければ一旦プリチャージが必要で、そのた
 めに遅れ (レイテンシ) が生じる。図 21 のように離散
 的にデータがマッピングされている場合、レイテンシの
 発生を避けられない。これに対し、本実施例においては
 データが図 5 に示すようにマッピングされているため、
 バースト転送が容易であり、プリチャージ時間を十分に
 とれるためレイテンシは発生しない (例えば x 方向の 4
 画素以上をバースト転送すれば、その間にプリチャージ
 を終了させることができる)。なお、図 5 から理解され
 るように、レベル 3 とレベル 4 の周波数帯信号につい
 ては離散的であるため、その転送の際にレイテンシが発
 生する。しかし、それら周波数帯信号の画素数が少ない
 ため (例えばレベル 3 のある係数の総数はレベル 1 のあ
 る係数の総数の 1/16 にすぎない)、そのレイテンシは
 データ転送時間全体から見れば格別問題にならない。

【0058】フレームメモリ 100 から内部メモリ 11
 0 へ転送された周波数帯信号データは、入出力インター
 フェース部 113 を介して位符号化／復号化部 102 へ
 転送される。符号化／復号化部 102 で必要なデータは
 ビット単位である。内部メモリ 110 がデータの読み書
 きをワード単位でしか行うことができないメモリである
 場合には、入出力インターフェース部 113 においてワ
 ードから必要なビットを抽出する操作が行われる (後
 述)。

【0059】符号化についてさらに説明すれば、SS 係
 数を除いた各レベルの各種類の周波数帯信号毎に、例え
 ば 4DS、4SD、4DD、... 毎に、ビットプレー
 ン (同じビット深さの位置の 2 次元のビット平面) 単位

で、その MSB (最上位ビット) から下位ビットへと順
 に処理される。符号化の処理は、ビットプレーンの 2

(x 方向) × 8 (y 方向) 画素単位 (これは 2 × 8 の大
 きさのデータが存在する場合。それより小さい場合はそ
 の大きさ) で行われる。実際に処理されるのは、上述の
 大きさの単位毎であるが、その周辺も参照するため、周
 辺を含めた領域のデータ、例えば 4 × 10 画素のデータ
 がフレームメモリ 100 から読み込まれる。さらに、同
 じ種類の 1 つ上のレベルの周波数帯信号が存在する場合
 は、それも参照されるので、同様にフレームメモリ 10
 0 から読み込まれる。最上位のビットプレーンの処理が
 終了すると、1 つ下位のビットプレーンが同様に処理さ
 れる。これを繰り返すことにより、1 つのレベルの 1 種
 類の周波数帯信号の処理が終了する。これが全レベルの
 全種類の周波数帯信号に対して行われ、符号化が終了す
 る。

【0060】1DD 係数データの内部メモリ 110 への
 転送についてさらに説明すれば、1DD 係数は、図 5 中
 の●印のアドレス (0, 12) を先頭として、4 ライン
 分のデータが x 方向にフレームメモリ・サイズ X と同じ
 大きさで存在する。まず、入出力インターフェース部 1
 11 によって、フレームメモリ 100 のアドレス (0,
 12) を先頭アドレスとして、1DD 係数データが内部
 メモリ 110 へバースト転送される。この際に転送する
 データ数 (ワード数) が指定されるが、この転送データ
 数は内部メモリ 110 の Z, E, G, G, H 領域からな
 るメモリ領域が 16 × 16 の大きさの場合は最大 64 画
 素相当となる。バースト転送された 64 画素分の 1DD
 係数データは、内部メモリ 110 にアドレス (0, 0)
 ~ (15, 0)、アドレス (0, 4) ~ (15,
 4)、... のように 4 ラインおきに書き込まれる。次
 に、フレームメモリ 100 のアドレス (0, 13) が先
 頭アドレスとして指定され、64 画素分の 1DD 係数デ
 ータがバースト転送され、内部メモリ 110 のアドレス
 (0, 1) ~ (15, 1)、アドレス (0, 5) ~ (1
 5, 5)... のように 4 ラインおきに書き込まれる。
 このような形で内部メモリ 110 に書き込むのは、各係
 数の隣接関係を破壊しないためである。かくして、フレ
 ームメモリ 100 上の一番左上 (先頭) の 1DD 係数デ
 ータが内部メモリ 110 の上 1/4 に、その右隣の 1D
 D 係数データが内部メモリ 110 の次の 1/4 に、その
 右隣の 1DD 係数データが内部メモリ 110 の次の 1/
 4 に書き込まれる。さらに、一つ上のレベルの 2DD デ
 ータが (0, 3) を先頭として 64 画素分、バースト転
 送され、内部メモリ 110 の一番下の領域に 4 ラインお
 きに書き込まれる。

【0061】以上は符号化を行う場合の説明である。復
 号化は、符号化の場合と逆の手順で行われる。すなわ
 ち、符号化／復号化部 102 によって、圧縮コード code
 が復号化されて周波数帯信号データが内部メモリ 110

上に復元され、これがフレームメモリ 100 に転送される。最終的にフレームメモリ 100 に図 5 に示すようなマッピングで 1 フレーム分の周波数帯信号データに得られる。より詳しく述べれば、復号化は、外部より入力した圧縮コード code から、あるレベルのある種類の周波数帯信号、例えば 4 DD 係数が、MSB からビット単位で復号化され、ビットプレーンが再生される。復号化もビットプレーンの 2 (x 方向) × 8 (y 方向) 画素単位

(2 × 8 の大きさのデータが存在する場合。それより小さい場合はその大きさの単位) で再生される。同じ種類の 1 つ上のレベルの周波数帯信号が存在する場合は、それも参照される。当該ビットプレーンの処理が終了すると、MSB-1 のビット深さのビットプレーンが処理される。同様の処理が全レベルの全種類の周波数帯信号に対して施され、符号化部/復号化部 102 の復号化処理が終了する。

【0062】フレームメモリ 100 には図 5 に示すようなマッピングで周波数帯信号データが書き込まれる。すなわち、符号化時の読み出し処理が、復号化時は書き込み処理になる。この周波数帯信号データが 1 タイル分、内部メモリ 110 へ転送され、例えば図 10 に示すようなマッピングで内部メモリ 110 に書き込まれる。この周波数帯信号データに対し、ウェーブレット変換部 101 によってウェーブレット逆変換処理が行われる。ウェーブレット逆変換処理はレベル 4 から行われ、また各レベルの垂直処理、水平処理がこの順で行われる。最初に SS 係数と 4 SD, 4 DS, 4 DD の各係数から 3 SS 係数が再生され、これが SS 係数と 4 SD, 4 DS, 4 DD に上書きされる。再生された 3 SS 係数と 3 SD, 3 DS, 3 DD の各係数から 2 SS 係数が再生され、これが 3 SS, 3 SD, 3 DS, 3 DD に上書きされる。同様にウェーブレット順変換とは逆の手順が繰り返され、最終的にイメージデータが復元され、これがフレームメモリ 100 に転送され、当該タイルの周波数帯信号データに上書きされる。フレームメモリ 100 と内部メモリ 110 との間のデータ転送は、符号化の場合と同様にライン毎、ラスト順にバースト転送によって行われる。

【0063】なお、タイルメモリ 120 のサイズは、ウェーブレット変換部 101 で要求される最大レベルに合わせて決定される。すなわち、最大レベルの SS 出力が 1 画素になるように選ばれる。本実施例では、レベル 4 であるのでタイルサイズは $M=N=16$ に選ばれている。レベル 6 であれば、 $M=N=64$ に選ばれる。このようにすると、タイルメモリ 120 の使用効率が向上する。換言すれば、ウェーブレット変換のレベル数に応じて内部メモリ 110 のワード数を最適化し、メモリ使用効率を高めるわけである。このことは以下の各実施例においても同様である。

【0064】<実施例 2>図 7 は、本発明の他の実施例

による符号化/復号化システムのブロック図である。前記実施例 1 と本実施例との構成上の相異は、図 1 と図 7 を対比すれば明かなように、記憶部 103 内に、 $M/2$ のワード数 (ただし、 $M \geq N$) を持つラインメモリ (ライン記憶手段) 115 が追加されている点である。後述のように、ウェーブレット順変換処理においてラインメモリ 115 を利用する点を除けば、全体的な動作は前記実施例 1 と同様である。

【0065】符号化の場合、フレームメモリ 100 から 1 タイル分の処理のためのイメージデータが内部メモリ 110 のタイルメモリ 120 に読み込まれる。この際のオーバーラップメモリ 121, 122 へのデータコピーとミラー処理などは前記実施例 1 において図 3 及び図 4 を参照して説明した通りである。

【0066】タイルメモリ 120 上のイメージデータに対しウェーブレット変換部 101 によりウェーブレット順変換が行われる。レベル 1 の水平処理は、図 8 に●印で示した 0 ライン目の 0 画素目から行われるが、その開始に先だって、図 8 に斜線領域として示した ($M/2 + 1$) 画素目から最後の画素までのデータが入出力インターフェース部 112 によりラインメモリ 115 にコピーされる。そして、タイルメモリ 120 の 0 ライン目の水平処理が行われ、得られた S 係数はタイルメモリ 120 の 0 ライン目の 0 画素目から順次書き込まれ、また、D 係数は 0 ライン目の ($M/2 + 1$) 画素目から順次書き込まれる。この水平処理中に、タイルメモリ 120 の 0 ライン目の ($M/2 + 1$) 画素目以降に対し D 係数が上書きされるが、その元のデータはラインメモリ 115 に保存されており、ウェーブレット変換部 115 は入出力インターフェース部 112 を介してラインメモリ 115 のデータを参照することにより、最後の画素まで支障無く水平処理を行うことができる。

【0067】次の 1 ライン目の 0 画素目からの水平処理の際にも同様に、まずタイルメモリ 120 の 1 ライン目の ($M/2 + 1$) 画素目から最後の画素までのデータがラインメモリ 115 にコピーされた後、水平処理が行われ、S 係数と D 係数が同様に書き込まれる。上書きされたデータについても、0 ライン目と同様にラインメモリ 115 のデータを参照することにより、支障無く最後の画素まで水平処理が行われる。以下同様にして、最後のラインまで水平処理が行われることにより、図 8 に示すようにタイルメモリ 120 の左半分に S 係数、右半分に D 係数が保存される。

【0068】次にレベル 1 の垂直処理が、図 9 に●印で示す画素から縦一列の S 係数データについて行われるが、この場合にも図 9 に斜線領域として示した ($N/2 + 1$) ライン目から最終ラインまでの S 係数データがラインメモリ 115 に予めコピーされる。垂直処理により得られる SS 係数はタイルメモリ 120 の 0 ライン目から下へ向かって順に書き込まれ、SD 係数は ($N/2 +$

1) ライン目から下へ向かって順に書き込まれる。SD 係数が上書きされる位置の S 係数データはラインメモリ 115 に保存されているので、これを参照することによりウェーブレット変換部 101 は支障無く S 係数データに対する垂直処理を行うことができる。同様に S 係数データに対する垂直処理が行われ、 $(M/2+1)$ 画素目からは D 係数に対する垂直処理が行われ、得られた 1DS 係数はタイルメモリ 120 の 0 ライン目から書き込まれ、1DD 係数はタイルメモリ 120 の $(N/2+1)$ ライン目から書き込まれる。この場合にも同様に、タイルメモリ 120 の下半分の D 係数データが、その垂直処理に先だってラインメモリ 115 にコピーされ、それがウェーブレット変換部 101 により参照されるため、支障無く垂直処理を行うことができる。かくして、レベル 1 の SS 係数、1SD 係数、1DS 係数、1DD 係数のデータが図 9 に示すようなマッピングでタイルメモリ 120 上に得られる。

【0069】次にレベル 1 の SS 係数データに対して、レベル 2 の水平処理が行われる。この場合も、各ラインの水平処理を開始するに先だって、そのラインの $(M/4+1)$ 画素目から後の SS 係数データがラインメモリ 115 にコピーされ、水平処理中にラインメモリ 115 上の SS 係数データが参照される。得られた S 係数は 0 画素目から、D 係数は $(M/4+1)$ 画素目から、それぞれ書き込まれる。水平処理結果に対しレベル 2 の垂直処理が行われるが、この場合も処理する縦一列の下半分の S 係数データ又は D 係数データは予めラインメモリ 115 にコピーされ、処理中に参照される。得られた SS 係数又は 2DS 係数は 0 ライン目から書き込まれ、2SD 係数又は 2DD 係数は $(N/4+1)$ ライン目から書き込まれる。

【0070】次にレベル 2 の SS 係数に対し、レベル 3 の水平処理が行われ、その結果に対して垂直処理が行われる。レベル 3 の処理により得られた SS 係数に対しレベル 4 の処理が行われる。レベル 3 とレベル 4 の処理においても、処理により得られた係数が上書きされる部分のデータがラインメモリ 115 にコピーされ、処理中に参照される。かくして、最終的な周波数帯信号データがタイルメモリ 120 上に図 10 に示すようにマッピングされる。

【0071】タイルメモリ 120 に得られた周波数帯信号データは、入出力インターフェース部 111 を介して、前記実施例 1 の場合と同様にライン毎、ラスト順に連続したデータに変換されてバースト転送によりラインメモリ 100 へ転送される。この際、タイルメモリ 120 上に周波数帯信号データが図 10 のように非離散的にマッピングされているため、例えば図 21 に示すように離散的にマッピングされた場合に比べ、入出力インターフェース部 112 のタイルメモリ 120 に対するアドレッシングが簡単になる。例えば、図 10 に示したよう

に、1DD 係数データの読み出しは、●印の位置を起点とする、連続したアドレッシングを行えば済む。他の係数データも、図 10 に●印で示した位置を起点として同様に連続したアドレッシングによって読み出せばよい。したがって、入出力インターフェース部 111 のアドレス生成機構を大幅に単純化できる。また、ウェーブレット順変換処理中に、図 8 及び図 9 に示すようにタイルメモリ 120 上に係数データが連続的にマッピングされるため、図 17 乃至図 20 に示したように離散的にマッピングされる場合に比べ、タイルメモリ 120 に対する読み書きのための入出力インターフェース部 112 によるアドレッシングも単純になるため、入出力インターフェース部 112 のアドレス生成機構も単純化できる。

【0072】<実施例 3>本発明の他の実施例によれば、前記実施例 2 の構成において、内部メモリ 110 のタイルメモリが、図 11 に示すような周波数帯信号の種類別に対応付けた 4 つの独立したメモリブロック (memSS, memSD, memDS, memDD) 124 に分割した構成とされる。それぞれのメモリブロック memSS, memSD, memDS, memDD は、図 3 に示したタイルメモリ 120 を縦横に 4 分割したものに相当する記憶領域 (網掛けのない領域) に、レベル 2 以降の対応した種類の周波数帯信号を格納するための記憶領域 (網掛けした領域) を付加した如き構成のメモリである。

【0073】このような分割構成のタイルメモリへのイメージデータの読み込みは、前記実施例 1 及び 2 と同様に考えればよいが、1 タイル分のイメージデータは 4 つのメモリブロック memSS, memSD, memDS, memDD の網掛けされない記憶領域に分散された形で書き込まれる。イメージデータに対するミラー処理なども同様である。読み込まれたイメージデータに対するウェーブレット順変換は、基本的には前記実施例 2 と同様に考えればよいが、レベル 1 の各種の係数データは、図 11 に示すように、対応付けられたメモリブロック memSS, memSD, memDS, memDD の網掛けされていない記憶領域に書き込まれ、レベル 2 からレベル 4 の各種の係数データは図 11 に示すように対応付けられた網掛けされた記憶領域に書き込まれる。

【0074】メモリブロック memSS, memSD, memDS, memDD はそれぞれ物理的に独立しているため、それぞれを同時にアクセスし、S 係数と D 係数を同時に読み書きし、又は SS, SD, DS, DD を同時に読み書きすることができるため、より高速な処理が可能である。このことは、復号化時のウェーブレット逆変換処理についても同様である。また、各係数データは対応したメモリブロックの対応した記憶領域に連続的にマッピングされるので、ウェーブレット変換処理時の入出力インターフェース部 112 の内部メモリ 110 に対するアドレッシングが単純になる。また、最終的に必要となる各種の周波数帯信号データは、図 11 を見れば明らかなように、すで

に連続したデータとして内部メモリ 110 上にマッピングされた形となるため、それらをフレームメモリ 100 へバースト転送する際に入出力インターフェース部 111 は複雑なアドレッシングを行う必要がない。

【0075】さらに、本実施例の構成は、ウェーブレット変換部 101 で使用される低域通過フィルタ又は高域通過フィルタの出力ビット深さが、イメージデータのビット深さと異なる場合に特に有効である。例えば、イメージデータが 8 ビット深さ、SS 係数が 8 ビット深さ、SD 係数と DS 係数が 12 ビット深さ、DD 係数が 16

ビット深さである場合、それぞれの係数データのための記憶領域に、対応する係数のビット深さ分のビット深さを持たせることができる。したがって、メモリ全体に最大のビット深さである DD 係数と同じ 16 ビットの深さを持たせるよりも、内部メモリ 110 の総ビット数を減らしメモリコストを削減できる。

【0076】＜実施例 4＞本発明の他の実施例によれば、前記実施例 3 にけるタイルメモリを構成する各メモリブロック (memSS, memSD, memDS, memDD) 124 が図 12 に示すような構成とされる。すなわち、各メモリブロック 124 は、独立した 3 個 (一般的には複数個) のメモリ要素 (mem1, mem2, mem3) 202 と、これらメモリ要素 202 に対する読み出し及び書き込みを制御するための入力データ制御部 200 と、各メモリ要素 202 の出力データの外部出力を制御するための出力データ制御部 201 とからなり、入力信号として ra (読み出しアドレス)、wa (書き込みアドレス)、reb (読み出し許可)、web (書き込み許可)、i (入力データ)、level (ウェーブレット変換のレベル)、sel (このメモリブロックに対する選択信号) の各信号を持ち、また、一つの出力信号 o (出力データ) を持ち、外部から見れば、複数のメモリ要素 202 をあたかも一つの大きなメモリ要素であるかのように扱うことができる構成である。

【0077】チップに内蔵できるメモリの大きさには限度がある。それを越えるサイズのメモリブロックが要求される場合、チップ内において複数のメモリ要素から各メモリブロック memSS, memSD, memDS, memDD を構成せざるを得ない。この場合、本実施例のメモリブロックを用いれば、ウェーブレット変換部 101 及び符号化／復号化部 102 は、各メモリブロックが複数のメモリ要素から構成されていることを意識することなく、レベルとアドレスなどを指定するだけで、各メモリブロックをアクセスすることができるため、単純に複数のメモリ要素を用いる場合に比べ、両者からのメモリブロック・アクセスに関係した制御機構を簡単かつ小規模にできる。

【0078】＜実施例 5＞本発明の他の実施例によれば、前記各実施例の構成において、内部メモリ 110 のタイルメモリがワード単位でもビット単位でも読み出しと書き込みが可能な記憶要素、例えばレジスタを用いて

構成される。そのような種類のメモリがあれば、それを用いてタイルメモリを構成してもよい。

【0079】ウェーブレット変換部 101 ではデータの操作はワード単位で行われるのに対し、符号化／復号化部 102 で必要なデータはビット単位である。したがって、タイルメモリがワード単位でしかデータの読み書きを行えない場合、符号化／復号化部 102 では、データを 1 ワードずつ読み込み、必要なビットだけを抽出する処理をし、当該ビットのみを書き換え (他のビットはマスクする等の方法で書き換えられないような処理が必要)、再びワード単位で書き戻すといった処理が必要になる。これに対し、タイルメモリがビット単位でもデータの読み書きが可能なものであれば、必要なビットだけを読み込み、処理をして同じアドレス及びビットプレーンに書き戻すだけで済むため、より効率的・高速な処理が可能である。

【0080】＜実施例 6＞本発明の他の実施例によれば、記憶部 103 が図 13 に示すような構成に変更される。これ以外の構成は前記実施例 1, 2, 3 又は 4 と同様である。

【0081】図 13 において、300 はフレームメモリ 100 と内部メモリ 110 又は符号化／復号化部 102 との間のデータ転送を制御するための入出力インターフェース部であり、これは内部メモリ 110 とフレームメモリ 100 との間のデータ転送を制御する入出力インターフェース部 301、符号化／復号化部 102 とフレームメモリ 100 との間のデータ転送を制御する入出力インターフェース部 302、及び、データ選択部 303 からなる。

【0082】フレームメモリ 100 上のイメージデータを符号化する場合、データ選択部 303 によって入出力インターフェース部 301 とフレームメモリ 100 とが接続された形になり、前記実施例 1, 2, 3 又は 4 の場合と同様に、入出力インターフェース部 301 の制御によりフレームメモリ 100 からイメージデータがバースト転送されて内部メモリ 110 のタイルメモリに書き込まれる。このイメージデータに対するウェーブレット順変換がウェーブレット変換部 101 によって行われ、得られた周波数帯信号データは入出力インターフェース部 301 の制御によりフレームメモリ 100 へバースト転送される。フレームメモリ 100 に得られた周波数帯信号データの符号化を行う場合、データ選択部 303 によってフレームメモリ 100 と入出力インターフェース部 302 とが接続された形となり、入出力インターフェース部 302 の制御により、周波数帯信号データは内部メモリ 110 を介することなく直接的に符号化／復号化部 102 へ入力される。このように内部メモリ 110 へのデータ転送のステップが不要になるため、高速な符号化処理が可能である。

【0083】復号化の場合、データ選択部 303 により

フレームメモリ 100 と入出力インターフェース部 302 とが接続された形となり、符号化／復号化部 102 により、内部メモリ 110 を介することなく直接的にフレームメモリ 100 上に周波数帯信号データが復元される。復元された周波数帯信号に対するウェーブレット逆変換動作は前記実施例 1, 2, 3 又は 4 の場合と同様であり、データ選択部 303 によって入出力インターフェース部 301 が選択され、同入出力インターフェース部の制御により、周波数帯信号が内部メモリ 110 に読み込まれてウェーブレット変換部 101 によってウェーブレット逆変換を施されてイメージデータが再生され、これがフレームメモリ 100 に書き出される。

【0084】以上、本発明の実施の形態を説明したが、本発明はそのような実施形態のみに限定されるものではなく、様々な変形が許されるものである。

【0085】

【発明の効果】以上に詳細に説明したように、本発明によれば、以下に述べるような多くの効果を得られる。

【0086】請求項 1 乃至 7 の各項記載の符号化／復号化装置においては、内部記憶手段からフレームメモリへの周波数帯信号データの転送をバースト転送で高速に行うことが可能である。また、フレームメモリ上に周波数帯信号が非離散的にマッピングされるためフレームメモリから内部記憶手段へ周波数帯信号データをバースト転送で高速に転送することも可能になる。また、ウェーブレット変換を内部記憶手段を利用して行うことができるため、ウェーブレット変換時にフレームメモリをライン方向にアクセスする必要がない。したがって、フレームメモリに対するアクセスに伴う遅れを回避し、符号化／復号化動作を高速化できる。

【0087】請求項 2 記載の符号化／復号化装置及び請求項 3 記載の符号化／復号化装置においては、前述のように、ライン記憶手段を用意することにより、ウェーブレット変換の段階で内部記憶手段に周波数帯信号データを非離散的にマッピングするため、その周波数帯信号データをフレームメモリへ転送する際に、その転送の制御のための手段が離散的なアドレスマッピングを行うことなくライン毎、ラスタ順のデータとして周波数帯信号データを転送することができ、したがって、その制御のための手段を簡略、小規模なものにできる。また、ウェーブレット変換時の内部記憶手段に対するアドレッシングも単純になるため、その制御機構も簡略化できる。

【0088】さらに、請求項 3 記載の符号化／復号化装置においては、ウェーブレット変換時に内部記憶手段の複数のブロックを同時にアクセスすることが可能であるため、符号化／復号化動作の一層の高速化が可能である。また、各ブロックに、対応した種類の周波数帯信号に応じて必要最小限のビット深さを持たせることにより、内部記憶手段のためのメモリコストを減らすことができる。

【0089】請求項 4 記載の符号化／復号化装置においては、内部記憶手段の各ブロックが複数の記憶要素から構成されていることを意識することなく、ウェーブレット変換部及び符号化／復号化部から各ブロックをあたかも単一の記憶要素の如く扱ってアクセスすることができるため、そのアクセスに関連した制御機構を簡略化できる。

【0090】請求項 5 記載の符号化／復号化装置においては、前述のように、符号化／復号化部の処理を単純化・高速化し、符号化／復号化動作をより高速化することができる。

【0091】請求項 6 記載の符号化／復号化装置においては、符号化／復号化部とフレームメモリとの間で内部記憶手段を介さず直接的にデータを転送することにより、より高速な符号化／復号化動作が可能になる。

【0092】請求項 7 記載の符号化／復号化装置においては、前述のように、ウェーブレット変換のレベル数に応じて内部記憶手段のワード数を最適化し、内部記憶手段のメモリ使用効率を高めることができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例による符号化／復号化システムのブロック図である。

【図 2】フレームメモリと処理単位であるタイルの説明図である。

【図 3】タイルメモリとオーバーラップメモリの説明図である。

【図 4】(a) 処理対象のタイルの位置の判断方法及びミラー処理などの内容を説明する表図である。

(b) フレームメモリ上のタイルの位置関係を示す図である。

【図 5】フレームメモリにおける周波数帯信号データのマッピングを示す図である。

【図 6】イメージデータのウェーブレット変換処理に関連した動作を説明するためのフローチャートである。

【図 7】本発明の第 2 の実施例による符号化／復号化システムのブロック図である。

【図 8】タイルメモリに対する水平処理時におけるラインメモリの利用方法と係数データの格納方法を説明するための図である。

【図 9】タイルメモリに対する垂直処理時におけるインメモリの利用方法と係数データの格納方法を説明するための図である。

【図 10】タイルメモリにおける周波数帯信号データのマッピングを示す図である。

【図 11】本発明の第 3 の実施例におけるタイルメモリの構成と周波数帯信号データの格納方法を示す図である。

【図 12】本発明の第 4 の実施例におけるメモリブロックの構成を示すブロック図である。

【図 13】本発明の第 5 の実施例による圧縮／伸長シス

テムのブロック図である。

【図 14】 従来技術を説明するためのブロック図である。

【図 15】 ウェーブレット変換の水平処理及び垂直処理における演算を説明するための図である。

【図 16】 イメージデータのメモリマップを示す図である。

【図 17】 1S 係数及び 1D 係数のメモリマップを示す図である。

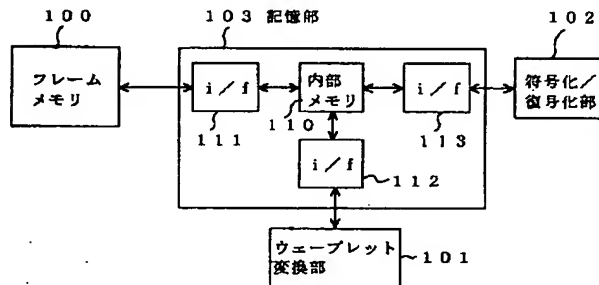
【図 18】 1SS 係数、1SD 係数、1DS 係数及び 1DD 係数のメモリマップを示す図である。

【図 19】 2S 係数及び 2D 係数のメモリマップを示す図である。

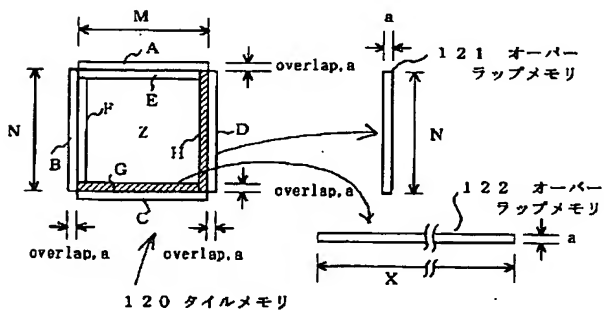
【図 20】 2SS 係数、2SD 係数、2DS 係数及び 2DD 係数のメモリマップを示す図である。

【図 21】 レベル 4 の各係数のメモリマップを示す図である。

【図 1】



【図 3】



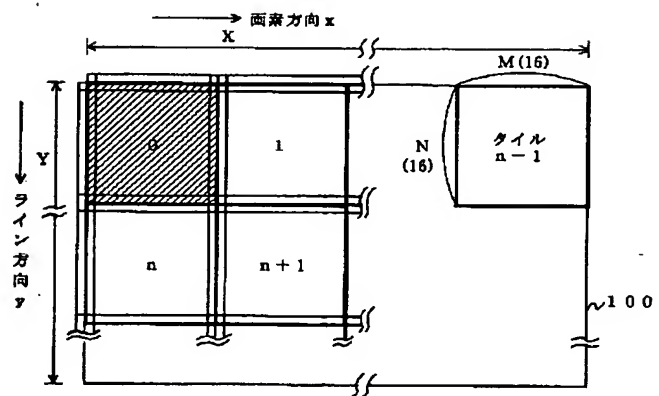
【図 16】

image			
00	01	02	03
10	11	12	13
20	21	22	23
30	31	32	33

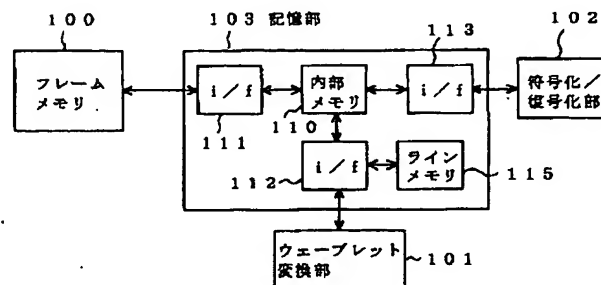
【符号の説明】

- 100 フレームメモリ
- 101 ウェーブレット変換部
- 102 符号化／復号化部
- 103 記憶部
- 110 内部メモリ
- 111, 112, 113 入出力インターフェース部
- 115 ラインメモリ
- 120 タイルメモリ
- 121 x方向オーバーラップメモリ
- 122 y方向オーバーラップメモリ
- 124 メモリブロック
- 200 入力データ制御部
- 201 出力データ制御部
- 202 メモリ要素
- 301, 302 入出力インターフェース部
- 303 データ選択部

【図 2】



【図 7】

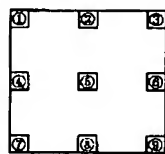


【図 4】

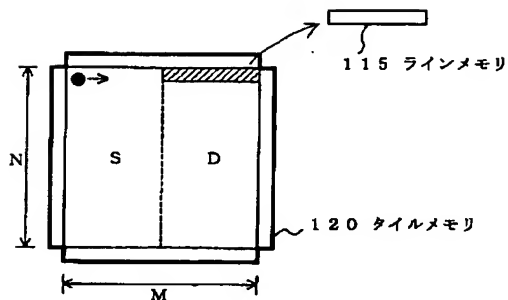
(a)

位置	判 断				コピー元			
	先頭ライン含む?	最終ライン含む?	先頭画素含む?	最終画素含む?	A	B	C	D
①	Y	N	Y	N	E, H (17~)	E, F, G (17~)	—	—
②	Y	N	N	N	E, H (17~)	x	—	—
③	Y	N	N	Y	E, H (17~)	x	—	H (17~)
④	N	N	Y	N	y	E, F, G (17~)	—	—
⑤	N	N	N	N	y	x	—	—
⑥	N	N	N	Y	y	x	—	H (17~)
⑦	N	Y	Y	N	y	E, F, G (17~)	G, H (17~)	—
⑧	N	Y	N	N	y	x	G, H (17~)	—
⑨	N	Y	N	Y	y	x	G, H (17~)	H (17~)

(b)



【図 8】



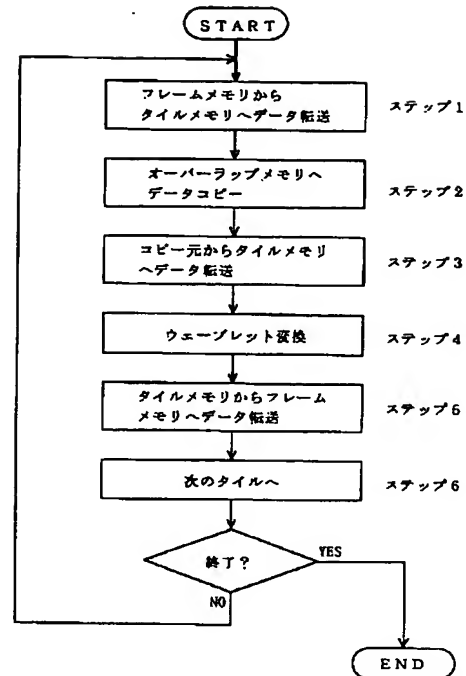
【図 17】

1 H			
1s00	1d00	1s01	1d01
1s10	1d10	1s11	1d11
1s20	1d20	1s21	1d21
1s30	1d30	1s31	1d31

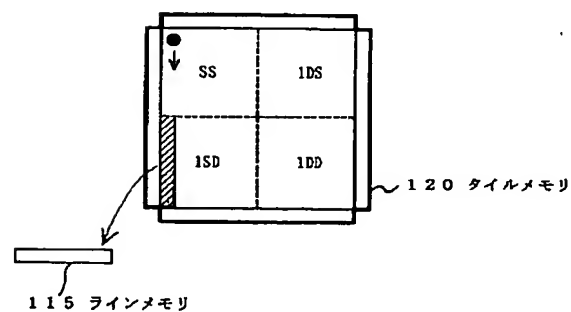
【図 18】

1 V			
1ss00	1ds00	1ss01	1ds01
1sd00	1dd00	1sd01	1dd01
1ss10	1ds10	1ss11	1ds11
1sd10	1dd10	1sd11	1dd11

【図 6】



【図 9】



【図 20】

2 V		
2ss00	2ds00	2ss01
2sd00	2dd00	2sd01
2ss10	2ds10	2ss11

【図 19】

2 H		
2s00	2d00	2s01
2s10	2d10	2s11
2s20	2d20	2s21

【図 5】

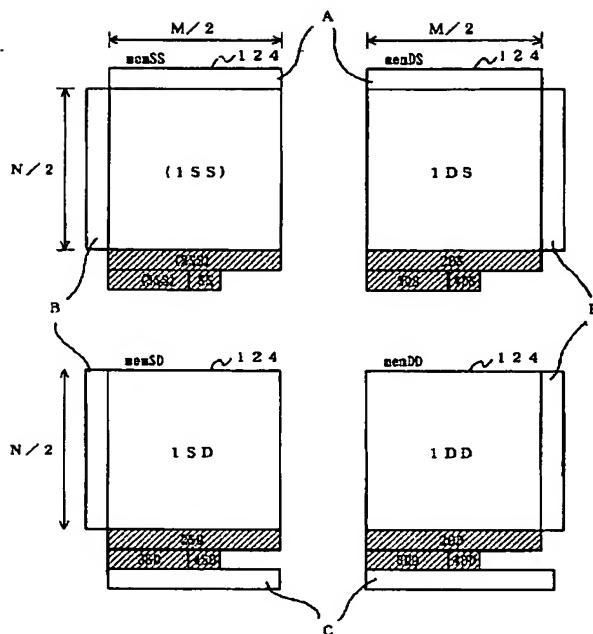
→ x

0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 . . .

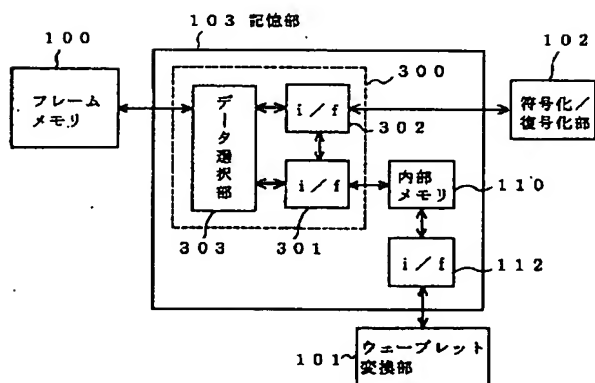
↓ y

0	SS	4SD	4DS	4DD	3SD	3DS	3DD	SS	4SD	4DS	4DD	3SD	
1	2SD							2SD					
2	2DS							2DS					
3	2DD							2DD					
4	1SD							1SD					
5													
6													
7	1DS							1DS					
8													
9													
10	1DD							1DD					
11													
12													
13													
14													
15													
..	SS	4SD	4DS	4DD	3SD	3DS	3DD	SS	4SD	4DS	4DD	3SD	
..	2SD							2SD					
..	2DS							2DS					
..	2DD							2DD					
	1SD							1SD					
	1DS							1DS					
	1DD							1DD					

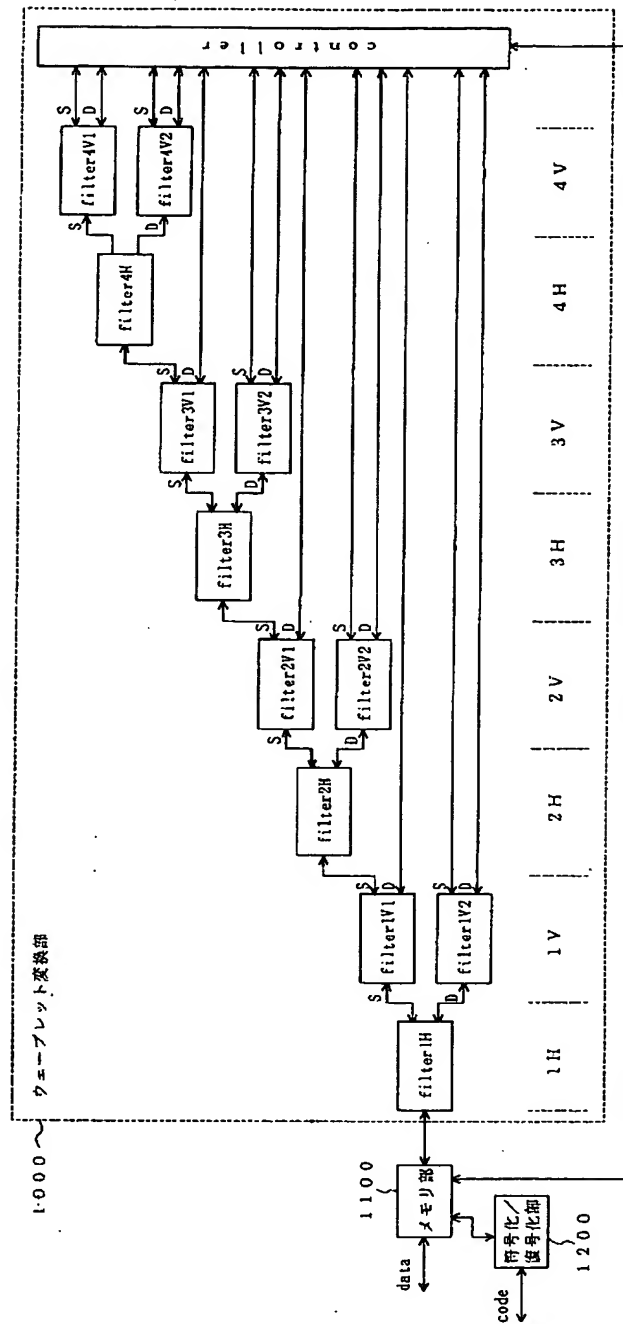
【图 1 1】



【図 13】

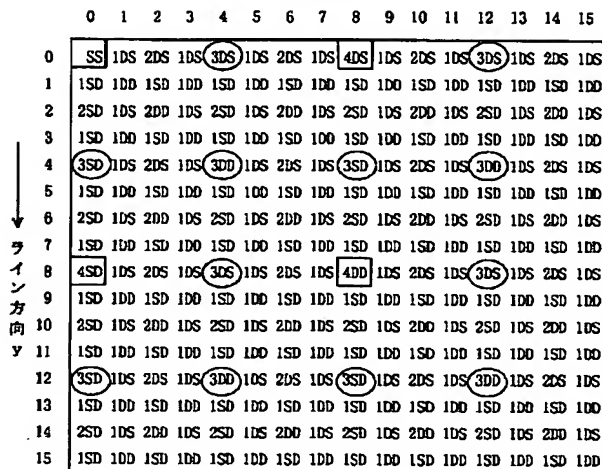


【図14】



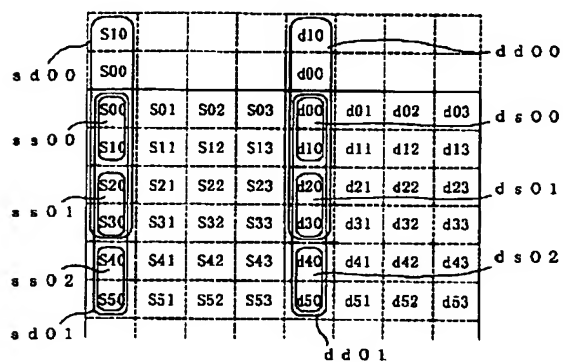
【图 2 1】

→ 固相方向 x



ライン方向 Y

(b)



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☒ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.